# Article information:

采用 8nm FinFET 工艺的具有扩展圆形线圈拓扑的 15.6GHz 四核 VCO，适用于主电感器和尾电感器 |IEEE会议出版物 |IEEE Xplore的
<https://ieeexplore.ieee.org/document/10186135/authors>

# Article summary:

1. 本文介绍了一种采用8nm FinFET工艺的15.6GHz四核VCO设计，该设计适用于主电感器和尾电感器。通过采用扩展圆形线圈拓扑结构，尾部电感及其品质因数得到显著增加，从而在2钕-阶谐波上更好地抑制闪烁噪声。

2. 该VCO在8nm FinFET工艺下设计和制造，在1MHz频率偏移时实现了创纪录的-115.4dBc/Hz PN，并在15.6GHz时实现了具有竞争力的-185dBc/Hz品质因数（FoM），同时具有30%的宽调谐范围。

3. 高性能模拟和RF电路设计在先进的FinFET工艺中仍然具有挑战性，主要归因于电源电压降低、闪烁噪声增加、非线性度恶化以及工艺缩放等因素。为了充分利用工艺缩放带来的优势，本文重点关注了低相位噪声、宽调谐范围的VCO设计，以满足5G蜂窝应用需求。

# Article rating:

Appears moderately imbalanced: The article provides some useful information, but is missing several important points or pieces of evidence that would be required to present the discussed topics in a balanced and reliable way. You are encouraged to seek a more balanced perspective on the presented issues by exploring the provided research topics and looking at different information sources.

# Article analysis:

根据提供的文章内容，很难进行详细的批判性分析。因为文章只提供了标题和一些摘要信息，并没有给出具体的内容和数据支持。所以无法确定是否存在潜在偏见、片面报道、无根据的主张、缺失的考虑点、所提出主张的缺失证据、未探索的反驳、宣传内容等问题。

然而，从文章摘要中可以看出，该研究关注采用8nm FinFET工艺设计的低相位噪声射频压控振荡器（VCO），用于5G蜂窝应用。这表明该研究可能是针对当前技术发展趋势进行的实验和设计，旨在改进射频电路设计中存在的挑战。

由于文章没有提供具体数据和实验结果，我们无法评估其方法和结论的可靠性。此外，由于文章只是一个摘要，并没有提供完整的论证过程和讨论，我们也无法确定作者是否注意到可能存在的风险或是否平等地呈现了双方观点。

总之，在没有更多详细信息和数据支持的情况下，对这篇文章进行全面且准确的批判性分析是困难的。

# Topics for further research:

* 8nm FinFET工艺设计的低相位噪声射频压控振荡器（VCO）的优势和挑战是什么？
* 该研究的实验方法和数据收集过程是什么？
* 该研究的结果和结论是什么？
* 作者是否考虑了其他可能的因素和风险？
* 该研究的结果如何与现有的射频电路设计相比？
* 该研究对5G蜂窝应用有何实际意义和应用前景？

通过对这些问题的回答，可以更全面地了解该研究的内容和可靠性，并进行更深入的批判性分析。

# Report location:

<https://www.fullpicture.app/item/ef0e5daaec530aaa3709e80b20ee5652>